



*IFW*

Docket No.: 50024-018

**PATENT**

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of	:	Customer Number: 20277
Kuniyuki TANI, et al.	:	Confirmation Number: 1958
Application No.: 10/663,984	:	Group Art Unit: 2819
Filed: September 17, 2003	:	Examiner: Howard L. Williams
For: ANALOG-TO-DIGITAL CONVERSION CIRCUIT	:	

**TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENTS**

Mail Stop CPD  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

At the time the above application was filed, priority was claimed based on the following applications:

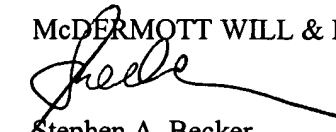
**Japanese Patent Application JP 2002-275509, filed on September 20, 2002.**

**Japanese Patent Application JP 2003-318834, filed on September 10, 2003.**

A copy of each priority application listed above is enclosed.

Respectfully submitted,

McDERMOTT WILL & EMERY LLP

  
Stephen A. Becker  
Registration No. 26,527

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
Phone: 202.756.8000 SAB:blg  
Facsimile: 202.756.8087  
Date: September 23, 2004

10/663,984  
September 17, 2003

日 本 国 特 許 庁

JAPAN PATENT OFFICE

*McDermott Mill & Emery LA*

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office

出 願 年 月 日

Date of Application:

2002年 9月20日

出 願 番 号

Application Number:

特願2002-275509

[ST.10/C ]:

[JP2002-275509]

出 願 人

Applicant(s):

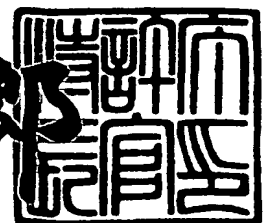
三洋電機株式会社

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2003年 6月11日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3045493

【書類名】 特許願

【整理番号】 NPC1020005

【提出日】 平成14年 9月20日

【あて先】 特許庁長官殿

【国際特許分類】 H03M 1/44

【発明者】

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社  
社内

【氏名】 谷 邦之

【発明者】

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社  
社内

【氏名】 和田 淳

【特許出願人】

【識別番号】 000001889

【氏名又は名称】 三洋電機株式会社

【代理人】

【識別番号】 100098305

【弁理士】

【氏名又は名称】 福島 祥人

【電話番号】 06-6330-5625

【手数料の表示】

【予納台帳番号】 032920

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0006012

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 アナログーデジタル変換回路

【特許請求の範囲】

【請求項 1】 アナログ入力信号をデジタル信号に変換して出力するアナログーデジタル変換器と、

前記アナログーデジタル変換器から出力される任意のデジタル信号の値ごとに予め補正值群が設定され、前記アナログーデジタル変換器から出力されるデジタル信号に基づいて対応する補正值を出力する補正值出力回路と、

前記補正值出力回路から出力された補正值に基づいて前記デジタル信号を演算補正する補正回路とを備えたことを特徴とするアナログーデジタル変換回路。

【請求項 2】 複数段の回路からなる多段パイプライン構成を有し、アナログ入力信号をデジタル出力値に変換するアナログーデジタル変換回路であって、最終段を除く各段の回路が、

入力されたアナログ信号をデジタル信号に変換するアナログーデジタル変換器と、

前記アナログーデジタル変換器から出力されるデジタル信号をアナログ信号に変換するデジタルーアナログ変換器と、

入力されたアナログ信号と前記デジタルーアナログ変換器から出力されるアナログ信号との差分を増幅する差分増幅回路とを含み、

前記複数段の回路内のアナログーデジタル変換器から出力されるデジタル信号が前記デジタル出力値を構成し、

前記複数段のうち少なくとも一段の回路内の前記差分増幅回路のゲイン誤差による前記デジタル出力値の誤差を補正するための補正值が、後段の回路内の前記アナログーデジタル変換器から出力されるデジタル信号の値ごとに予め設定され、前記後段の回路内の前記アナログーデジタル変換器から出力されるデジタル信号に基づいて対応する補正值を出力する補正值出力回路と、

前記補正值出力回路から出力された補正值に基づいて前記デジタル出力値を補正する補正回路とを備えたことを特徴とするアナログーデジタル変換回路。

【請求項 3】 前記補正值出力回路は、

前記後段の回路内の前記アナログーデジタル変換器から出力されるデジタル信号の値ごとに予め補正値を記憶する記憶回路と、

前記後段の回路内の前記アナログーデジタル変換器から出力されるデジタル信号に基づいて前記記憶回路に記憶された補正値から該当する補正値を選択して出力する選択回路とを含むことを特徴とする請求項 2 記載のアナログーデジタル変換回路。

【請求項 4】 前記記憶回路は、前記後段の回路内の前記アナログーデジタル変換器から出力されるデジタル信号の値ごとに設定された補正値を複数組記憶し、

前記選択回路は、所定の制御信号および前記後段の回路内の前記アナログーデジタル変換器から出力されるデジタル信号に基づいて、前記記憶回路に記憶される複数組の補正値から該当する補正値を選択して出力することを特徴とする請求項 3 記載のアナログーデジタル変換回路。

【請求項 5】 前記一段の回路内の前記差分増幅回路のゲイン誤差による前記デジタル出力値の誤差を検出する誤差検出手段と、

前記誤差検出手段により検出された誤差に基づいて前記制御信号を発生する制御信号発生手段とをさらに備えたことを特徴とする請求項 4 記載のアナログーデジタル変換回路。

【請求項 6】 前記一段の回路内の前記差分増幅回路のゲイン誤差による前記デジタル出力値の誤差に基づいて予め設定された前記制御信号を保持する制御信号保持手段をさらに備えたことを特徴とする請求項 4 記載のアナログーデジタル変換回路。

【請求項 7】 前記一段の回路は初段の回路であることを特徴とする請求項 2 ～ 6 のいずれかに記載のアナログーデジタル変換回路。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、アナログ信号をデジタル信号に変換するアナログーデジタル変換回路に関する。

## 【 0 0 0 2 】

## 【従来の技術】

近年、ビデオ信号のデジタル処理技術の進歩に伴い、ビデオ信号処理用のアナログーデジタル変換回路（A/Dコンバータ）の需要が大きくなっている。ビデオ信号処理用のアナログーデジタル変換回路には高速変換動作が要求されるため、従来、2ステップフラッシュ（2ステップパラレル）方式が広く用いられていた。

## 【 0 0 0 3 】

しかし、変換ビット数の増大に伴い、2ステップフラッシュ方式では十分な変換精度が得られなくなってきたため、多段パイプライン（ステップフラッシュ）構成を有するアナログーデジタル変換回路が開発された。

## 【 0 0 0 4 】

図 1 2 は従来の多段パイプライン構成を有するアナログーデジタル変換回路の構成を示すブロック図である。図 1 2 のアナログーデジタル変換回路は、10ビット4段パイプライン構成を有する。

## 【 0 0 0 5 】

図 1 2 において、アナログーデジタル変換回路 1 0 1 は、1 段目の回路 1 0 3、2 段目の回路 1 0 4、3 段目の回路 1 0 5、4 段目の回路 1 0 6、複数のラッチ回路 1 0 7 および出力回路 1 0 8 から構成されている。

## 【 0 0 0 6 】

1 段目（初段）～3 段目の回路 1 0 3～1 0 5 は、サブ A/D コンバータ 1 0 9、サブ D/A（デジタルーアナログ）コンバータ 1 1 0、減算回路 1 1 2 および演算増幅器 1 1 1 を備える。4 段目（最終段）の回路 1 0 6 は、サブ A/D コンバータ 1 0 9 のみを備える。以下、減算回路 1 1 2 および演算増幅器 1 1 1 が差分増幅回路 1 1 4 を構成する。

## 【 0 0 0 7 】

1 段目の回路 1 0 3 は 4 ビット構成、2～4 段目の回路 1 0 4～1 0 6 はそれぞれ 2 ビット構成である。1 段目～3 段目の回路 1 0 3～1 0 5 において、サブ A/D コンバータ 1 0 9 のビット数（ビット構成）およびサブ D/A コンバータ

110のビット数（ビット構成）は同じに設定されている。

【0008】

次に、アナログ-デジタル変換回路101の動作を説明する。以下、アナログ-デジタル変換をA/D変換と略記する。

【0009】

まず、アナログ入力信号Vinが1段目の回路103へ転送される。1段目の回路103において、サブA/Dコンバータ109はアナログ入力信号Vinに対してA/D変換を行う。サブA/Dコンバータ109のA/D変換結果である上位4ビットのデジタル信号D9, D8, D7, D6は、サブD/Aコンバータ110へ転送されるとともに、4つのラッチ回路107を介して出力回路108へ転送される。

【0010】

減算回路112は、アナログ入力信号VinからサブD/Aコンバータ110のD/A変換結果を減算する。演算増幅器111は、減算回路112の出力を増幅する。演算増幅器111の出力は2段目の回路104へ転送される。

【0011】

2段目の回路104においては、1段目の回路103の演算増幅器111の出力に対して、1段目の回路103と同様の動作が行われる。また、3段目の回路105においては、2段目の回路104の演算増幅器111の出力に対して、1段目の回路103と同様の動作が行われる。そして、2段目の回路104から中上位2ビットのデジタル信号D5, D4が得られ、3段目の回路105から中下位2ビットのデジタル信号D3, D2が得られる。

【0012】

4段目の回路106においては、3段目の回路105の演算増幅器111の出力に対して、サブA/Dコンバータ109がA/D変換を行い、下位2ビットのデジタル信号D1, D0が得られる。

【0013】

1段目～4段目の回路103～106のデジタル信号D9～D0は、各ラッチ回路107を経て同時に出力回路108に到達する。すなわち、各ラッチ回路1



07は、各回路103～106のデジタル信号D9～D0の出力の同期をとるために設けられている。

【0014】

出力回路108はアナログ入力信号V<sub>in</sub>の10ビットのデジタル出力値D<sub>out</sub>を出力する。

【0015】

このように、アナログーデジタル変換回路101においては、各段の回路103～105において、アナログ入力信号V<sub>in</sub>または前段の回路103, 104の演算増幅器111の出力と、その段の回路103～105のデジタル出力のD/A変換結果との差分が演算増幅器111によって増幅される。

【0016】

そのため、変換ビット数が増大してLSB (Least Significant Bit) が小さくなくても、サブA/Dコンバータ109を構成する各コンパレータの分解能を実質的に向上させることが可能になり、十分な変換精度を得ることができる。

【0017】

次に、図13は図12の差分増幅回路114の一例を示す回路図である。図14は図13の差分増幅回路114の動作を説明するための図である。

【0018】

図13において、演算増幅器111の反転入力端子はノードn<sub>b</sub>に接続され、非反転入力端子は接地されている。また、演算増幅器111の出力端子はノードn<sub>o</sub>に接続されるとともにコンデンサ102を介して反転入力端子に接続されている。演算増幅器111の反転入力端子と非反転入力端子との間にはスイッチSW1が接続され、ノードn<sub>b</sub>とノードn<sub>a</sub>との間にコンデンサ103が接続されている。ノードn<sub>a</sub>は、スイッチSW2を介してノードn<sub>1</sub>に接続され、かつスイッチSW3を介してノードn<sub>2</sub>に接続されている。

【0019】

ノードn<sub>1</sub>に電圧V<sub>1</sub>が入力され、ノードn<sub>2</sub>に電圧V<sub>2</sub>が入力され、ノードn<sub>o</sub>から電圧V<sub>0</sub>が出力される。

【0020】

ここで、図 1 4 を参照しながら図 1 3 の差分増幅回路 1 1 4 の動作を説明する。  
 なお、コンデンサ 1 0 2 の容量値を  $C$  とし、コンデンサ 1 0 3 の容量値を  $K C$  とし、接地電位を  $V_G$  とする。  $K$  は定数である。

## 【 0 0 2 1 】

まず、図 1 4 に示すように、スイッチ  $S W 1$  およびスイッチ  $S W 2$  をオンにし、スイッチ  $S W 3$  をオフにする。それにより、ノード  $n a$  の電圧は  $V_1$  となる。また、ノード  $n o$  の電圧は 0 となる。このとき、ノード  $n b$  の電荷  $Q a$  は次式のようなになる。

## 【 0 0 2 2 】

$$Q a = (V_G - V_1) K C \quad \cdots (1)$$

次に、図 1 4 に示すように、スイッチ  $S W 1$  をオフにした後、スイッチ  $S W 2$  をオフにし、かつスイッチ  $S W 3$  をオンにする。それにより、ノード  $n a$  の電圧は  $V_2$  となる。また、ノード  $n o$  の電圧は  $V_0$  となる。このとき、ノード  $n b$  は仮想接地するため、ノード  $n b$  の電荷  $Q b$  は次式のようなになる。

## 【 0 0 2 3 】

$$Q b = (V_G - V_2) K C + (V_G - V_0) C \quad \cdots (2)$$

ノード  $n b$  には電荷が抜け出る経路がないので、電荷保存則により  $Q a = Q b$  となる。したがって、次式が成立する。

## 【 0 0 2 4 】

$$(V_G - V_1) K C = (V_G - V_2) K C + (V_G - V_0) C \quad \cdots (3)$$

上式から、ノード  $n o$  の電圧  $V_0$  は次式のようなになる。

## 【 0 0 2 5 】

$$V_0 = V_G + (V_1 - V_2) K \quad \cdots (4)$$

このようにして、電圧  $V_1$  から電圧  $V_2$  が減算され、その減算値が  $K$  倍に増幅される。

## 【 0 0 2 6 】

しかし、これは理想状態の差分増幅回路 1 1 4 の動作である。現実には、差分増幅回路 1 1 4 の製造工程のばらつき等の影響で容量の比精度に誤差が発生する場合がある。コンデンサ 1 0 3 の容量値を  $(K - e r r) C$  とすると、式 (4)

のノード  $n_0$  の電圧  $V_0$  は次式のようになる。

【0027】

$$\begin{aligned} V_0 &= V_G + (V_1 - V_2) \cdot (K - e_{rr}) \\ &= V_G + (V_1 - V_2) K - (V_1 - V_2) e_{rr} \quad \cdots (5) \end{aligned}$$

式(5)の右辺の第3項が容量の比精度誤差により発生する差分増幅回路114のゲインエラーを表している。 $e_{rr}$ はゲインエラーの傾きである。

【0028】

次に、図15は図12のアナログーデジタル変換回路101の入出力特性を示す図である。図16は図15の入出力特性の $\alpha$ 部の拡大図である。図15および図16の横軸はアナログ入力信号  $V_{in}$  を示し、縦軸はデジタル出力値  $D_{out}$  を示す。

【0029】

図15の一点鎖線  $Tr$  はアナログーデジタル変換回路101の理想的な入出力特性を示し、実線  $Er$  はアナログーデジタル変換回路101の差分増幅回路114がゲインエラーを有する場合の入出力特性を示す。

【0030】

理想的には、一点鎖線  $Tr$  で示されるようにデジタル出力値  $D_{out}$  がアナログ入力信号  $V_{in}$  に対して一定の比例関係を有することが望ましい。しかし、差分増幅回路114がゲインエラーを有する場合、アナログーデジタル変換回路101の入出力特性には、実線  $Er$  で示されるように非直線性誤差（以下、段差エラーと呼ぶ。）が現れる。

【0031】

図12に示すアナログーデジタル変換回路101では、1段目の回路103の差分増幅回路114のゲインエラー、2段目の回路104の差分増幅回路114のゲインエラーおよび3段目の回路105の差分増幅回路114のゲインエラーが入出力特性に影響を与えるが、1段目の回路103が上位4ビットのデジタル信号  $D_9 \sim D_6$  を出力するため、1段目の回路103の差分増幅回路114のゲインエラーが入出力特性に最も大きく影響を与える。

【0032】

したがって、1 段目の差分増幅回路 1 1 4 のゲインエラーによる段差エラーを補正することによりアナログーデジタル変換回路 1 0 1 の入出力特性における段差エラーを改善することができる。

#### 【 0 0 3 3 】

補正前のアナログーデジタル変換回路 1 0 1 のデジタル出力値  $D_{out}$  とゲインエラーの傾き  $err$  から入出力特性におけるゲインエラー成分を導き出すことができ、このゲインエラー成分を次に示すようにデジタル領域の演算により補正することにより段差エラーを低減することができる。

#### 【 0 0 3 4 】

次に、誤差信号  $err(D)$  に基づいて誤差を補正する回路について説明する。

#### 【 0 0 3 5 】

図 1 7 は図 1 2 の出力回路 1 0 8 の構成の一例を示すブロック図である。

図 1 7 に示すように、出力回路 1 0 8 は、乗算器 5 0 1 およびデジタルキャリブレーション演算部 5 0 2 を含む。デジタルキャリブレーション演算部 5 0 2 は、1 0 ビットの加算器により構成される。

#### 【 0 0 3 6 】

出力回路 1 0 8 には、図 1 2 の 1 段目～4 段目の回路 1 0 3 ～1 0 6 から出力されるデジタル信号  $D_9 \sim D_0$  が入力される。ここで、1 段目の差分増幅回路 1 1 4 のゲインエラーの影響を受けるデジタル信号  $D_5$ 、 $D_4$  を用いて段差エラーを補正する。

#### 【 0 0 3 7 】

デジタルキャリブレーション演算部 5 0 2 には 1 段目～4 段目の回路 1 0 3 ～1 0 6 から出力されるデジタル信号  $D_9 \sim D_0$  が与えられ、デジタル信号  $D_9 \sim D_0$  のうち 2 段目の回路 1 0 4 から出力されるデジタル信号  $D_5$ 、 $D_4$  が乗算器 5 0 1 に与えられる。

#### 【 0 0 3 8 】

また、1 段目の差分増幅回路 1 1 4 のゲインエラーの傾き  $err$  に相当するデジタル値を表す誤差信号  $err(D)$  が乗算器 5 0 1 に与えられる。この誤差信

号  $e r r (D)$  は予め決定されている。乗算器 5 0 1 は、誤差信号  $e r r (D)$  とデジタル信号  $D 5, D 4$  とを乗算し、その乗算結果を補正值としてデジタルキャリブレーション演算部 5 0 2 に与える。デジタルキャリブレーション演算回路 5 0 2 は、デジタル信号  $D 9 \sim D 0$  に補正值を加算してデジタル出力値  $D o u t$  として出力する。

## 【 0 0 3 9 】

図 1 8 は図 1 7 の出力回路 1 0 8 における段差エラーの補正の一例を示す図である。図 1 8 において、アナログーデジタル変換回路 1 0 1 の理想的な入出力特性を実線  $T r$  で示し、差分増幅回路 1 1 4 のゲインエラーがある場合の入出力特性を破線  $E r$  で示し、補正後の入出力特性を実線  $T a$  で示す。

## 【 0 0 4 0 】

図 1 8 の例では、入出力特性における段差エラーの最大値が 4 L S B となっている。この場合、誤差信号  $e r r (D)$  を 1 L S B に設定する。デジタル信号  $D 5, D 4$  の値が “0, 0” の場合には補正值は “0 0” ( $= 0$ ) となり、デジタル信号  $D 5, D 4$  の値が “0, 1” の場合には補正值は “0 1” ( $= 1$ ) となり、デジタル信号  $D 5, D 4$  の値が “1, 0” の場合には補正值は “1 0” ( $= 2$ ) となり、デジタル信号  $D 5, D 4$  の値が “1, 1” の場合には補正值は “1 1” ( $= 3$ ) となる。この補正值を 1 0 ビットのデジタル信号  $D 9 \sim D 0$  の値に加算することにより、理想的な入出力特性に対する補正後の入出力特性の誤差の最大値が 1 L S B に低減される。

## 【 0 0 4 1 】

図 1 9 は図 1 7 の出力回路 1 0 8 における段差エラーの補正の他の例を示す図である。図 1 9 において、アナログーデジタル変換回路 1 0 1 の理想的な入出力特性を実線  $T r$  で示し、差分増幅回路 1 1 4 のゲインエラーがある場合の入出力特性を破線  $E r$  で示し、補正後の入出力特性を実線  $T a$  で示す。

## 【 0 0 4 2 】

図 1 9 の例では、入出力特性における段差エラーの最大値が 2 L S B となっている。この場合、誤差信号  $e r r (D)$  を 1 L S B に設定する。デジタル信号  $D 5, D 4$  の値が “0, 0” の場合には補正值は “0 0” ( $= 0$ ) となり、デジタ

ル信号 D 5, D 4 の値が “0, 1” の場合には補正值は “0 1” (= 1) となり、デジタル信号 D 5, D 4 の値が “1, 0” の場合には補正值は “1 0” (= 2) となり、デジタル信号 D 5, D 4 の値が “1, 1” の場合には補正值は “1 1” (= 3) となる。この補正值を 1 0 ビットのデジタル信号 D 9 ~ D 0 の値に加算することにより、理想的な入出力特性に対する補正後の入出力特性の誤差の最大値が 1. 5 L S B に低減される。

【0 0 4 3】

このようにして、差分増幅回路 1 1 4 のゲインエラーによるアナログーデジタル変換回路 1 0 1 の入出力特性の段差エラーを低減することができる。

【0 0 4 4】

【特許文献 1】

特開平 1 1 - 0 8 8 1 7 2 号公報

【0 0 4 5】

【発明が解決しようとする課題】

しかしながら、従来のアナログーデジタル変換回路 1 0 1 における出力回路 1 0 8 は、乗算器 5 0 1 を含むため、回路規模が大きくなる。

【0 0 4 6】

また、乗算器 5 0 1 を用いて補正值を算出しているため、補正值が  $0 \times err(D)$ 、 $1 \times err(D)$ 、 $2 \times err(D)$  および  $3 \times err(D)$  の組み合わせに限定される。上記のように、誤差信号  $err(D)$  を最小の 1 L S B に設定した場合、補正值は 0 L S B、1 L S B、2 L S B および 3 L S B の組み合わせに限定される。したがって、差分増幅回路 1 1 4 のゲインエラーによるアナログーデジタル変換回路 1 0 1 の入出力特性の段差エラーを十分に低減することは困難である。

【0 0 4 7】

本発明の目的は、回路規模を増大させることなく、差分増幅回路のゲインエラーによる入出力特性の段差エラーを十分に低減可能な多段パイプライン構成のアナログーデジタル変換回路を提供することである。

【0 0 4 8】

本発明の他の目的は、回路規模を増大させることなく、アナログーデジタル変換の誤差を十分に低減可能なアナログーデジタル回路を提供することである。

【 0 0 4 9 】

【課題を解決するための手段および発明の効果】

(第 1 の発明)

第 1 の発明に係るアナログーデジタル変換回路は、アナログ入力信号をデジタル信号に変換して出力するアナログーデジタル変換器と、アナログーデジタル変換器から出力される任意のデジタル信号の値ごとに予め補正值群が設定され、アナログーデジタル変換器から出力されるデジタル信号に基づいて対応する補正值を出力する補正值出力回路と、補正值出力回路から出力された補正值に基づいてデジタル信号を演算補正する補正回路とを備えたものである。

【 0 0 5 0 】

第 1 の発明に係るアナログーデジタル変換回路においては、アナログーデジタル変換器から出力される任意のデジタル信号の値ごとに予め補正值群が設定される。アナログーデジタル変換器によりアナログ入力信号がデジタル信号に変換されて出力され、アナログーデジタル変換器から出力されるデジタル信号に基づいて対応する補正值が補正值出力回路により出力され、補正值出力回路から出力された補正值に基づいて補正回路によりデジタル信号が演算補正される。

【 0 0 5 1 】

この場合、予め設定された補正值群から出力されるデジタル信号に対応する補正值が出力され、出力された補正值に基づいてデジタル信号が演算補正されるため、乗算器を用いる必要がなく回路規模を小さくすることができる。さらに、予め補正值を設定することができるので、アナログーデジタル変換の誤差を少なくすることができる。

【 0 0 5 2 】

(第 2 の発明)

第 2 の発明に係るアナログーデジタル変換回路は、複数段の回路からなる多段パイプライン構成を有し、アナログ入力信号をデジタル出力値に変換するアナログーデジタル変換回路であって、最終段を除く各段の回路が、入力されたアナロ

グ信号をデジタル信号に変換するアナログーデジタル変換器と、アナログーデジタル変換器から出力されるデジタル信号をアナログ信号に変換するデジタルーアナログ変換器と、入力されたアナログ信号とデジタルーアナログ変換器から出力されるアナログ信号との差分を増幅する差分増幅回路とを含み、複数段の回路内のアナログーデジタル変換器から出力されるデジタル信号がデジタル出力値を構成し、複数段のうち少なくとも一段の回路内の差分増幅回路のゲイン誤差によるデジタル出力値の誤差を補正するための補正值が、後段の回路内のアナログーデジタル変換器から出力されるデジタル信号の値ごとに予め設定され、後段の回路内のアナログーデジタル変換器から出力されるデジタル信号に基づいて対応する補正值を出力する補正值出力回路と、補正值出力回路から出力された補正值に基づいてデジタル出力値を補正する補正回路とを備えたものである。

## 【 0 0 5 3 】

第2の発明に係るアナログーデジタル変換回路においては、最終段を除く各段の回路で入力されたアナログ信号がデジタル信号にアナログーデジタル変換器により変換され、アナログーデジタル変換器から出力されるデジタル信号がデジタルーアナログ変換器によりアナログ信号に変換され、入力されたアナログ信号とデジタルーアナログ変換器から出力されるアナログ信号との差分が差分増幅回路により増幅される。デジタル出力値は、複数段の回路内のアナログーデジタル変換器から出力されるデジタル信号により構成される。

## 【 0 0 5 4 】

一方、複数段のうち少なくとも一段の回路内の差分増幅回路のゲイン誤差によるデジタル出力値の誤差を補正するための補正值が、後段の回路内のアナログーデジタル変換器から出力されるデジタル信号の値ごとに補正值出力回路に予め設定され、後段の回路内のアナログーデジタル変換器から出力されるデジタル信号に基づいて対応する補正值が出力される。補正值出力回路から出力された補正值に基づいて補正回路によりデジタル出力値が補正される。

## 【 0 0 5 5 】

この場合、デジタル信号の値ごとに予め設定された補正值から出力されるデジタル信号に対応する補正值が選択されてデジタル出力値が補正されるため、乗算



器を用いる必要がなく回路規模を小さくすることができる。さらに、乗算器では算出できない補正值も任意に設定することができるので、ゲイン誤差によるデジタル出力値の誤差を十分に低減させることができる。

【 0 0 5 6 】

(第 3 の発明)

第 3 の発明に係るアナログーデジタル変換回路は、第 2 の発明に係るアナログーデジタル変換回路の構成において、補正值出力回路は、後段の回路内のアナログーデジタル変換器から出力されるデジタル信号の値ごとに予め補正值を記憶する記憶回路と、後段の回路内のアナログーデジタル変換器から出力されるデジタル信号に基づいて記憶回路に記憶された補正值から該当する補正值を選択して出力する選択回路とを含むものである。

【 0 0 5 7 】

この場合、後段の回路内のアナログーデジタル変換器から出力されるデジタル信号の値ごとに予め補正值が記憶回路に記憶され、後段の回路内のアナログーデジタル変換器から出力されるデジタル信号に基づいて記憶回路に記憶された補正值から該当する補正值が選択回路により選択される。したがって、任意の補正值を記憶回路に記憶させることができるので、ゲイン誤差によるデジタル出力値の誤差を十分に低減させることができる。

【 0 0 5 8 】

(第 4 の発明)

第 4 の発明に係るアナログーデジタル変換回路は、第 3 の発明に係るアナログーデジタル変換回路の構成において、記憶回路は、後段の回路内のアナログーデジタル変換器から出力されるデジタル信号の値ごとに設定された補正值を複数組記憶し、選択回路は、所定の制御信号および後段の回路内のアナログーデジタル変換器から出力されるデジタル信号に基づいて、記憶回路に記憶される複数組の補正值から該当する補正值を選択して出力するものである。

【 0 0 5 9 】

この場合、後段の回路内のアナログーデジタル変換器から出力されるデジタル信号に基づいて補正值が複数組記憶された記憶回路に記憶された複数組の補正值

から該当する補正值が選択回路により選択される。したがって、複数組の補正值から最適な補正值を選択することができる。

【 0 0 6 0 】

(第 5 の発明)

第 5 の発明に係るアナログーデジタル変換回路は、第 4 の発明に係るアナログーデジタル変換回路の構成において、一段の回路内の差分増幅回路のゲイン誤差によるデジタル出力値の誤差を検出する誤差検出手段と、誤差検出手段により検出された誤差に基づいて制御信号を発生する制御信号発生手段とをさらに備えたものである。

【 0 0 6 1 】

この場合、誤差検出手段により一段の回路内の差分増幅回路のゲイン誤差によるデジタル出力値の誤差が検出され、誤差検出手段により検出された誤差に基づいて制御信号が制御信号発生手段により発生される。それにより、デジタル出力値の誤差が変動した場合でも、精度よくデジタル出力値の誤差を低減することができる。

【 0 0 6 2 】

(第 6 の発明)

第 6 の発明に係るアナログーデジタル変換回路は、第 4 の発明に係るアナログーデジタル変換回路の構成において、一段の回路内の差分増幅回路のゲイン誤差によるデジタル出力値の誤差に基づいて予め設定された制御信号を保持する制御信号保持手段をさらに備えたものである。

【 0 0 6 3 】

この場合、予め設定された制御信号が制御信号保持手段により保持されるので、アナログーデジタル変換ごとに制御信号を出力する必要がない。したがって、回路規模を増大させることなくデジタル出力値の誤差を低減することができる。

【 0 0 6 4 】

(第 7 の発明)

第 7 の発明に係るアナログーデジタル変換回路は、第 2 ～ 第 6 のいずれかの発明に係るアナログーデジタル変換回路の構成において、一段の回路は初段の回路

であるものである。

【0065】

この場合、初段の回路内の差分増幅回路のゲイン誤差がデジタル出力値に最も大きな影響を与えるので、初段の回路内の差分増幅回路のゲインエラーによるデジタル出力値の誤差を補正することにより、最も有効にデジタル出力値の誤差を低減することができる。

【0066】

【発明の実施の形態】

以下、本発明の実施の形態について図を用いて説明する。図1は本発明の一実施の形態に係る多段パイプライン構成を有するアナログーデジタル変換回路の構成を示すブロック図である。

【0067】

図1のアナログーデジタル変換回路は、10ビット4段パイプライン構成を有する。

【0068】

図1において、アナログーデジタル変換回路1は、1段目の回路3、2段目の回路4、3段目の回路5、4段目の回路6、複数のラッチ回路7および出力回路8から構成されている。

【0069】

1段目（初段）の回路3は、サブA/D（アナログーデジタル）コンバータ9、サブD/A（デジタルーアナログ）コンバータ10、演算増幅器11および減算回路12を備える。

【0070】

同様に、2段目および3段目の回路4、5は、サブA/Dコンバータ9、サブD/Aコンバータ10、演算増幅器11および減算回路12を備える。以下、減算回路12および演算増幅器11が差分増幅回路14を構成する。

【0071】

1段目の回路3、2段目の回路4および3段目の回路5内の演算増幅器11の利得は4である。4段目（最終段）の回路6は、サブA/Dコンバータ9のみを

備える。

#### 【0072】

1 段目の回路 3 は 4 ビット構成、2～4 段目の回路 4～6 はそれぞれ 2 ビット構成である。1～3 段目の回路 3～5 において、サブ A/D コンバータ 9 のビット数（ビット構成）およびサブ D/A コンバータ 10 のビット数（ビット構成）は同じに設定されている。ただし、1 段目以外のサブ A/D コンバータ 9 には、ほぼ 1 ビット程度の冗長ビットが用意されているが、ここでは、その記載を省略している。

#### 【0073】

次に、図 1 のアナログーデジタル変換回路 1 の動作を説明する。

まず、アナログ入力信号  $V_{in}$  は、1 段目の回路 3 へ転送される。1 段目の回路 3 において、サブ A/D コンバータ 9 は、アナログ入力信号  $V_{in}$  に対して A/D 変換を行う。サブ A/D コンバータ 9 の A/D 変換結果である上位 4 ビットのデジタル信号  $D_9$ ,  $D_8$ ,  $D_7$ ,  $D_6$  は、サブ D/A コンバータ 10 へ転送されるとともに、4 つのラッチ回路 7 を介して出力回路 8 へ転送される。サブ D/A コンバータ 10 は、サブ A/D コンバータ 9 の A/D 変換結果である上位 4 ビットのデジタル信号をアナログ信号に変換する。

#### 【0074】

一方、減算回路 12 は、アナログ入力信号  $V_{in}$  からサブ D/A コンバータ 10 の D/A 変換結果を減算する。演算増幅器 11 は、減算回路 12 の出力を増幅する。演算増幅器 11 の出力は、2 段目の回路 4 へ転送される。

#### 【0075】

2 段目の回路 4 においては、サブ A/D コンバータ 9 が、1 段目の回路 3 の演算増幅器 11 の出力に対して A/D 変換を行う。サブ A/D コンバータ 9 の A/D 変換結果は、サブ D/A コンバータ 10 へ転送されるとともに、3 つのラッチ回路 7 を介して出力回路 8 へ転送される。これにより、2 段目の回路 4 から中上位 2 ビットのデジタル信号  $D_5$ ,  $D_4$  が得られる。

#### 【0076】

一方、2 段目の回路 4 の減算回路 12 は、1 段目の回路 3 の演算増幅器 11 の

出力からサブD/Aコンバータ10のD/A変換結果を減算する。2段目の回路4の演算増幅器11は、減算回路12の出力を増幅する。演算増幅器11の出力は、3段目の回路5へ転送される。

## 【0077】

3段目の回路5においては、2段目の回路4と同様の動作が行われる。それにより、3段目の回路5から中下位2ビットのデジタル信号D3, D2が得られる。

## 【0078】

4段目の回路6においては、3段目の回路5の演算増幅器11の出力に対してサブA/Dコンバータ9がA/D変換を行い、下位2ビットのデジタル信号D1, D0が得られる。

## 【0079】

1段目～4段目の回路3～6のデジタル信号D9～D0は、各ラッチ回路7を経て同時に出力回路8に到達する。すなわち、各ラッチ回路7は各回路3～6のデジタル信号D9～D0の出力の同期をとるために設けられている。

## 【0080】

出力回路8は、デジタル信号D9～D0に後述する段差エラーの補正を行った後、アナログ入力信号Vinに対応する10ビットのデジタル出力値Doutを出力する。

## 【0081】

次に、図2は図1の出力回路8の構成の一例を示すブロック図である。

図2に示すように、出力回路8は、冗長補正回路801、補正值ROM（リードオンリメモリ：Read Only Memory）802、補正值選択回路803およびデジタルキャリブレーション演算部804から構成される。デジタルキャリブレーション演算部804は、10ビットの加算器により構成される。補正值選択回路803はデコーダからなる。

## 【0082】

出力回路8の冗長補正回路801には、図1の1段目～4段目の回路3～6から出力されるデジタル信号D9～D0が入力される。冗長補正回路801は、デ

デジタル信号D9～D0に対し冗長補正を行い、冗長補正後のデジタル信号D9～D0を出力する。なお、説明を簡単にするために、冗長ビットを省略している。

## 【0083】

上記のように、1段目の差分増幅回路14のゲインエラーによる段差エラーが最も大きく、2段目および3段目の差分増幅回路14のゲインエラーによる段差エラーは小さいため、本実施の形態では、1段目の差分増幅回路14のゲインエラーの影響を受けるデジタル信号D5、D4を用いて段差エラーを補正する。

## 【0084】

デジタルキャリブレーション演算部804には冗長補正回路801から出力されるデジタル信号D9～D0が与えられ、デジタル信号D9～D0のうち2段目の回路4から出力されるデジタル信号D5、D4が補正值選択回路803に与えられる。

## 【0085】

また、後述するデジタルキャリブレーション制御信号（以下、DC制御信号と呼ぶ）IN1、IN2が補正值選択回路803に与えられる。このDC制御信号IN1、IN2は1段目の差分増幅回路14のゲインエラーに応じて決定され、外部から与えられる。

## 【0086】

補正值ROM802には、予めデジタル信号D5、D4の値に応じた補正值が補正值テーブルとして複数組記憶されている。補正值選択回路803は、DC制御信号IN1、IN2およびデジタル信号D5、D4に基づいて補正值ROM802の補正值テーブルから1つの補正值AMを読み出してデジタルキャリブレーション演算部804に与える。デジタルキャリブレーション演算部804は、デジタル信号D9～D0に補正值AMを加算してデジタル出力値Doutとして出力する。

## 【0087】

図3は図2の補正值ROM802に記憶された補正值テーブルの一例を示す図である。

## 【0088】

図3に示すように、補正值ROM802に記憶された補正值テーブルTBLには、デジタル信号D5、D4およびDC制御信号IN1、IN2に応じて複数組の補正值が格納されている。すなわち、デジタル信号D5、D4の値に応じた4つ補正值がDC制御信号IN1、IN2の値に応じて4組格納されている。

#### 【0089】

図3の例では、DC制御信号IN1、IN2の値“0, 0”には、デジタル信号D5、D4の値“0, 0”、“0, 1”、“1, 0”および“1, 1”にそれぞれ対応する補正值“00”(=0)、“00”(=0)、“00”(=0)および“00”(=0)の組が割り当てられている。

#### 【0090】

また、DC制御信号IN1、IN2の値“0, 1”には、デジタル信号D5、D4の値“0, 0”、“0, 1”、“1, 0”および“1, 1”にそれぞれ対応する補正值“00”(=0)、“00”(=0)、“01”(=1)および“01”(=1)の組が割り当てられている。

#### 【0091】

さらに、DC制御信号IN1、IN2の値“1, 0”には、デジタル信号D5、D4の値“0, 0”、“0, 1”、“1, 0”および“1, 1”にそれぞれ対応する補正值“00”(=0)、“01”(=1)、“01”(=1)および“10”(=2)の組が割り当てられている。

#### 【0092】

また、DC制御信号IN1、IN2の値“1, 1”には、デジタル信号D5、D4の値“0, 0”、“0, 1”、“1, 0”および“1, 1”にそれぞれ対応する補正值“00”(=0)、“01”(=1)、“10”(=2)および“11”(=3)の組が割り当てられている。

#### 【0093】

図2の補正值選択回路103は、例えば、DC制御信号IN1、IN2が“1, 0”であり、かつデジタル信号D5、D4が“0, 0”の場合、補正值ROM802の補正值テーブルTBLから補正值“00”(=0)を選択してデジタルキャリブレーション演算部804に与える。

## 【 0 0 9 4 】

“また、補正值選択回路 1 0 3 は、DC 制御信号  $IN1$ 、 $IN2$  が “1, 0” であり、かつデジタル信号  $D5$ 、 $D4$  が “0, 1” の場合、補正值 ROM 8 0 2 の補正值テーブル TBL から補正值 “0 1” (= 1) を選択してデジタルキャリブレーション演算部 8 0 4 に与える。

## 【 0 0 9 5 】

さらに、補正值選択回路 1 0 3 は、DC 制御信号  $IN1$ 、 $IN2$  が “1, 0” であり、かつデジタル信号  $D5$ 、 $D4$  が “1, 0” の場合、補正值 ROM 8 0 2 の補正值テーブル TBL から補正值 “0 1” (= 1) を選択してデジタルキャリブレーション演算部 8 0 4 に与える。

## 【 0 0 9 6 】

また、補正值選択回路 1 0 3 は、DC 制御信号  $IN1$ 、 $IN2$  が “1, 0” であり、かつデジタル信号  $D5$ 、 $D4$  が “1, 1” の場合、補正值 ROM 8 0 2 の補正值テーブル TBL から補正值 “1 0” (= 2) を選択してデジタルキャリブレーション演算部 8 0 4 に与える。

## 【 0 0 9 7 】

上記のことから、本実施の形態のアナログーデジタル変換回路 1 では、任意の補正值の組み合わせを設定することが可能となる。

## 【 0 0 9 8 】

次に、図 4 は図 1 のアナログーデジタル変換回路 1 の入出力特性を示す図である。図 1 の横軸はアナログ入力信号  $V_{in}$  を示し、縦軸はデジタル出力値  $D_{out}$  を示す。

## 【 0 0 9 9 】

図 4 の一点鎖線  $Tr$  はアナログーデジタル変換回路 1 の理想的な入出力特性を示し、実線  $Er$  はアナログーデジタル変換回路 1 の差分増幅回路 1 4 がゲインエラーを有する場合の入出力特性を示す。

## 【 0 1 0 0 】

理想的には、一点鎖線  $Tr$  で示されるようにデジタル出力値  $D_{out}$  がアナログ入力信号  $V_{in}$  に対して一定の比例関係を有することが望ましい。しかし、差



分増幅回路 14 がゲインエラーを有する場合、アナログーデジタル変換回路 1 の入出力特性には、実線  $E_r$  で示されるように段差エラーが現れる。

#### 【0101】

図 5 は図 1 の出力回路 8 における段差エラーの補正の一例を示す図である。図 5 は図 4 の入出力特性の一部の拡大図である。図 5 において、アナログーデジタル変換回路 1 の理想的な入出力特性を実線  $T_r$  で示し、差分増幅回路 14 のゲインエラーがある場合の入出力特性を破線  $E_r$  で示し、補正後の入出力特性を実線  $T_a$  で示す。

#### 【0102】

図 5 の例では、入出力特性における段差エラーの最大値が  $2\text{LSB}$  となっている。図 5 (a) の場合、DC 制御信号  $IN_1$ ,  $IN_2$  を “0, 1” に設定する。それにより、デジタル信号  $D_5$ ,  $D_4$  の値が “0, 0” の場合には補正值は “00” ( $=0$ ) となり、デジタル信号  $D_5$ ,  $D_4$  の値が “0, 1” の場合には補正值は “00” ( $=0$ ) となり、デジタル信号  $D_5$ ,  $D_4$  の値が “1, 0” の場合には補正值は “01” ( $=1$ ) となり、デジタル信号  $D_5$ ,  $D_4$  の値が “1, 1” の場合には補正值は “01” ( $=1$ ) となる。この補正值を 10 ビットのデジタル信号  $D_9 \sim D_0$  の値に加算することにより、理想的な入出力特性に対する補正後の入出力特性の誤差の最大値は約  $1.0\text{LSB}$  に低減される。

#### 【0103】

このようにして、差分増幅回路 14 のゲインエラーによるアナログーデジタル変換回路 1 の入出力特性の段差エラーを十分に低減することができる。

#### 【0104】

図 5 (b) の場合、DC 制御信号  $IN_1$ ,  $IN_2$  を “1, 0” に設定する。それにより、デジタル信号  $D_5$ ,  $D_4$  の値が “0, 0” の場合には補正值は “00” ( $=0$ ) となり、デジタル信号  $D_5$ ,  $D_4$  の値が “0, 1” の場合には補正值は “01” ( $=1$ ) となり、デジタル信号  $D_5$ ,  $D_4$  の値が “1, 0” の場合には補正值は “01” ( $=1$ ) となり、デジタル信号  $D_5$ ,  $D_4$  の値が “1, 1” の場合には補正值は “10” ( $=2$ ) となる。この補正值を 10 ビットのデジタル信号  $D_9 \sim D_0$  の値に加算することにより、理想的な入出力特性に対する補正

後の入出力特性の誤差の最大値は約 1. 0 L S B 以下に低減される。

#### 【0105】

このようにして、差分増幅回路 14 のゲインエラーによるアナログーデジタル変換回路 1 の入出力特性の段差エラーを十分に低減することができる。

#### 【0106】

図 6 は図 2 の補正值 R O M 8 0 2 に記憶された補正值テーブルの他の例を示す図である。

#### 【0107】

図 6 の例では、D C 制御信号 I N 1, I N 2 の値 “1, 1” には、デジタル信号 D 5, D 4 の値 “0, 0”、“0, 1”、“1, 0” および “1, 1” にそれぞれ対応する補正值 “0 0 0” (= 0)、“0 1 0” (= 2)、“0 1 1” (= 3) および “1 0 0” (= 4) の組が割り当てられている。

#### 【0108】

図 7 は図 1 の出力回路 8 における段差エラーの補正の他の例を示す図である。図 7 は図 4 の入出力特性の一部の拡大図である。図 7 において、アナログーデジタル変換回路 1 の理想的な入出力特性を実線 T r で示し、差分増幅回路 14 のゲインエラーがある場合の入出力特性を破線 E r で示し、補正後の入出力特性を実線 T a で示す。本例の補正では、図 6 の補正テーブル T B L を用いるものとする。

#### 【0109】

図 7 の例では、入出力特性における段差エラーの最大値が 4 L S B となっている。この場合、D C 制御信号 I N 1, I N 2 を “1, 0” に設定する。それにより、デジタル信号 D 5, D 4 の値が “0, 0” の場合には補正值は “0 0 0” (= 0) となり、デジタル信号 D 5, D 4 の値が “0, 1” の場合には補正值は “0 1 0” (= 2) となり、デジタル信号 D 5, D 4 の値が “1, 0” の場合には補正值は “0 1 1” (= 3) となり、デジタル信号 D 5, D 4 の値が “1, 1” の場合には補正值は “1 0 0” (= 4) となる。この補正值を 10 ビットのデジタル信号 D 9 ~ D 0 の値に加算することにより、理想的な入出力特性に対する補正後の入出力特性の誤差の最大値は 1. 0 L S B 以下に低減される。

## 【 0 1 1 0 】

このようにして、差分増幅回路 1 4 のゲインエラーによるアナログーデジタル変換回路 1 の入出力特性の段差エラーを十分に低減することができる。

## 【 0 1 1 1 】

本実施の形態のアナログーデジタル変換回路 1 の出力回路 8 では、乗算器を用いることなく差分増幅回路 1 4 のゲインエラーによる段差エラーを十分に低減することができるので、回路規模が増大しない。

## 【 0 1 1 2 】

また、従来の乗算器による補正では実現できなかった補正值の組を設定することができるので、差分増幅回路 1 4 のゲインエラーによる段差エラーを十分に低減することができる。

## 【 0 1 1 3 】

なお、本実施の形態においては、1 段目の回路 3 内の差分増幅回路 1 4 のゲインエラーによる段差エラーを補正する場合の例を説明したが、これに限らず、他の段の回路内の差分増幅回路 1 4 のゲインエラーによる段差エラーを補正するように構成してもよい。

## 【 0 1 1 4 】

また、本実施の形態においては、補正值 ROM 8 0 2 に予め複数組の補正值を補正值テーブルとして記憶し、DC 制御信号 IN 1, IN 2 およびデジタル信号 D 5, D 4 に基づいて補正值 ROM 8 0 2 の補正值テーブルから 1 つの補正值 A M を読み出しているが、これに限定されず、DC 制御信号 IN 1, IN 2 およびデジタル信号 D 5, D 4 に基づいて予め DC 制御信号 IN 1, IN 2 の値およびデジタル信号 D 5, D 4 の値の組み合わせに対して任意に割り当てられた補正值を論理回路により論理的に生成してもよい。

## 【 0 1 1 5 】

図 8 は図 1 のアナログーデジタル変換回路 1 を含むシステムの構成の一例を示すブロック図である。

## 【 0 1 1 6 】

図 8 のシステムは、図 1 のアナログーデジタル変換回路 1、デジタルーアナロ

グ変換回路 3 0 0 および CPU 5 0 0 を含む。CPU 5 0 0 は、デジタル信号  $D_{in}$  をデジタルーアナログ変換回路 3 0 0 に与える。デジタルーアナログ変換回路 3 0 0 は、デジタル信号  $D_{in}$  をアナログーデジタル変換し、アナログ入力信号  $V_{in}$  をアナログーデジタル変換回路 1 に与える。アナログーデジタル変換回路 1 は、アナログ入力信号  $V_{in}$  をデジタル出力値  $D_{out}$  に変換し、CPU 5 0 0 に与える。

## 【 0 1 1 7 】

CPU 5 0 0 は、出力したデジタル信号  $D_{in}$  および入力されるデジタル出力値  $D_{out}$  を比較し、比較結果に基づいて DC 制御信号  $IN_1$ 、 $IN_2$  を生成し、アナログーデジタル変換回路 1 の出力回路 8 の補正值選択回路 8 0 3 に与える。これにより、アナログーデジタル変換回路 1 の入出力特性が変動した場合でも、リアルタイムに最適な補正值の組を選択して段差エラーを正確に補正することができる。

## 【 0 1 1 8 】

図 9 は図 1 の出力回路 8 の構成の他の例を示すブロック図である。

図 9 の出力回路 8 は、フラッシュメモリ 8 0 5 をさらに備える。フラッシュメモリ 8 0 5 は、予め DC 制御信号  $IN_1$ 、 $IN_2$  を記憶している。フラッシュメモリ 8 0 5 から読み出された DC 制御信号  $IN_1$ 、 $IN_2$  が補正值選択回路 8 0 3 に与えられる。図 9 の出力回路 8 の他の部分の構成は、図 2 の出力回路 8 の構成と同様である。

## 【 0 1 1 9 】

図 1 0 は図 1 の出力回路 8 の構成のさらに他の例を示すブロック図である。

図 1 0 の出力回路 8 は、多結晶シリコン等からなる複数のヒューズにより構成されるヒューズ回路 8 0 6 をさらに備える。ヒューズ回路 8 0 6 には、予め DC 制御信号  $IN_1$ 、 $IN_2$  が設定されている。ヒューズ回路 8 0 6 から出力された DC 制御信号  $IN_1$ 、 $IN_2$  が補正值選択回路 8 0 3 に与えられる。図 1 0 の出力回路 8 の他の部分の構成は、図 2 の出力回路 8 の構成と同様である。

## 【 0 1 2 0 】

図 1 1 は図 9 または図 1 0 の出力回路 8 を有するアナログーデジタル変換回路

1を含むシステムの構成の一例を示すブロック図である。図11のシステムは、工場での調整時に使用される。

【0121】

図11のシステムは、図9または図10の出力回路8を有するアナログーデジタル変換回路1、デジタルーアナログ変換回路300、CPU500およびレーザ装置600を含む。

【0122】

CPU500は、デジタル信号Dinをデジタルーアナログ変換回路300に与える。デジタルーアナログ変換回路300は、デジタル信号Dinをアナログーデジタル変換し、アナログ入力信号Vinをアナログーデジタル変換回路1に与える。アナログーデジタル変換回路1は、アナログ入力信号Vinをデジタル出力値Doutに変換し、CPU500に与える。

【0123】

CPU500は、出力したデジタル信号Dinおよび入力されるデジタル出力値Doutを比較し、比較結果に基づいてレーザ装置600を制御し、アナログーデジタル変換回路1の図9の出力回路8のフラッシュメモリ805にDC制御信号IN1、IN2を記憶させ、または図10のヒューズ回路806のヒューズを溶断することによりDC制御信号IN1、IN2を設定する。

【0124】

出荷時には、デジタルーアナログ変換回路300、CPU500およびレーザ装置600がアナログーデジタル変換回路1から切り離される。

【0125】

それにより、工場での調整時に、最適な補正值の組を選択して段差エラーを正確に補正することができる。

【0126】

なお、本実施の形態では、本発明を多段パイプライン構成を有するアナログーデジタル変換回路に適用する場合について説明したが、これに限定されず、本発明は、2ステップフラッシュ方式またはその他のアナログーデジタル変換回路にも適用可能である。

【 0 1 2 7 】

本実施の形態においては、サブ A / D コンバータ 9 がアナログーデジタル変換器に相当し、サブ D / A コンバータ 1 0 がデジタルーアナログ変換器に相当し、補正值 ROM 8 0 2 および補正值選択回路 8 0 3 が補正值出力回路に相当し、補正值 ROM 8 0 2 が記憶回路に相当し、補正值選択回路 8 0 3 が選択回路に相当し、デジタルキャリブレーション演算部 8 0 4 が補正回路に相当し、CPU 5 0 0 が制御信号発生手段および誤差検出手段に相当し、フラッシュメモリ 8 0 5 およびヒューズ回路 8 0 6 が制御信号保持手段に相当する。

【図面の簡単な説明】

【図 1】

本発明の一実施の形態に係る多段パイプライン構成を有するアナログーデジタル変換回路の構成を示すブロック図

【図 2】

図 1 の出力回路の構成の一例を示すブロック図

【図 3】

図 2 の補正值 ROM に記憶された補正值テーブルの一例を示す図

【図 4】

図 1 のアナログーデジタル変換回路の入出力特性を示す図

【図 5】

図 1 の出力回路における段差エラーの補正の一例を示す図

【図 6】

図 2 の補正值 ROM に記憶された補正值テーブルの他の例を示す図

【図 7】

図 1 の出力回路における段差エラーの補正の他の例を示す図

【図 8】

図 1 のアナログーデジタル変換回路を含むシステムの構成の一例を示すブロック図

【図 9】

図 1 の出力回路の構成の他の例を示すブロック図

【図 1 0】

図 1 の出力回路の構成のさらに他の例を示すブロック図

【図 1 1】

図 9 または図 1 0 の出力回路 8 を有するアナログーデジタル変換回路を含むシステムの構成の一例を示すブロック図

【図 1 2】

従来の多段パイプライン構成を有するアナログーデジタル変換回路の構成を示すブロック図

【図 1 3】

図 1 2 の差分増幅回路の一例を示す回路図

【図 1 4】

図 1 3 の差分増幅回路の動作を説明するための図

【図 1 5】

図 1 2 のアナログーデジタル変換回路の入出力特性を示す図

【図 1 6】

図 1 5 の入出力特性の  $\alpha$  部の拡大図

【図 1 7】

図 1 2 の出力回路の構成の一例を示すブロック図

【図 1 8】

図 1 7 の出力回路における段差エラーの補正の一例を示す図

【図 1 9】

図 1 7 の出力回路における段差エラーの補正の他の例を示す図

【符号の説明】

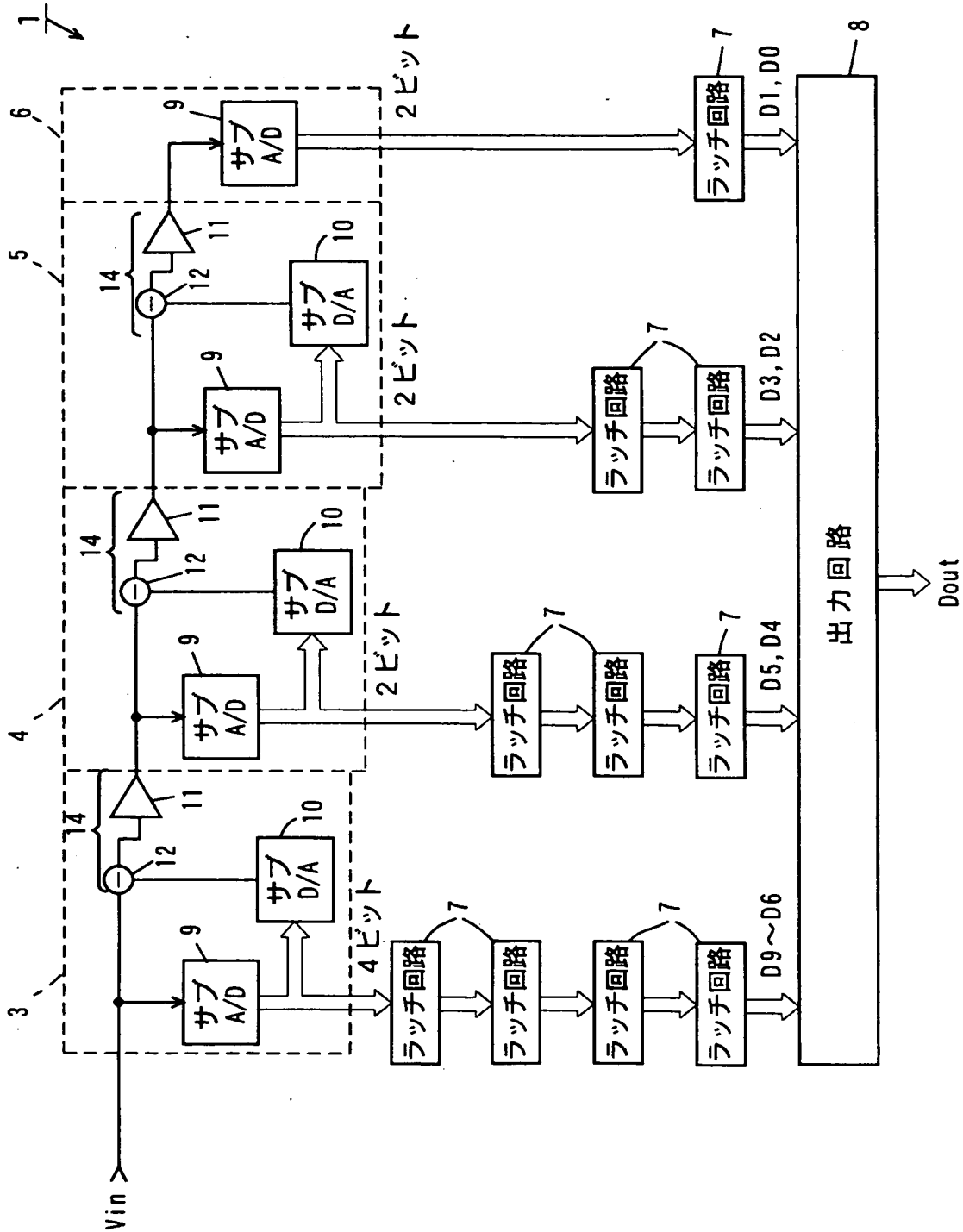
- 1 アナログーデジタル変換回路
- 3 0 0 デジタルーアナログ変換回路
- 5 0 0 C P U
- 6 0 0 レーザ装置
- 3 1 段目の回路
- 4 2 段目の回路

- 5 3 段目の回路
- 6 4 段目の回路
- 7 複数のラッチ回路
- 8 出力回路
- 9 サブ A / D (アナログーデジタル) コンバータ
- 1 0 サブ D / A (デジタルーアナログ) コンバータ
- 1 1 演算増幅器
- 1 2 減算回路
- 1 4 差分増幅回路
- 8 0 1 冗長補正回路
- 8 0 2 補正值 ROM
- 8 0 3 補正值選択回路
- 8 0 4 デジタルキャリブレーション演算部
- 8 0 5 フラッシュメモリ
- 8 0 6 ヒューズ回路

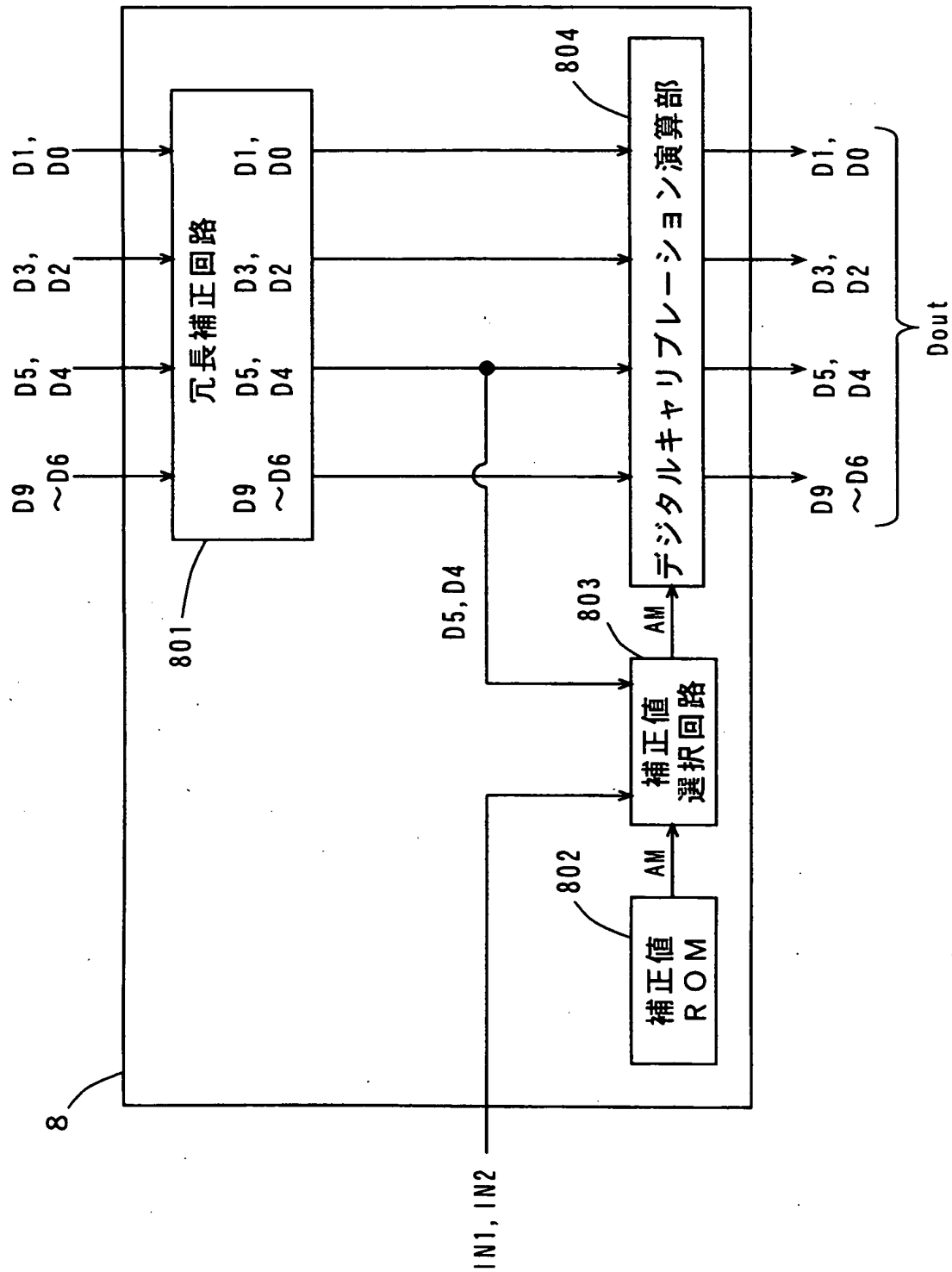


【書類名】 図面

【図1】



【図2】

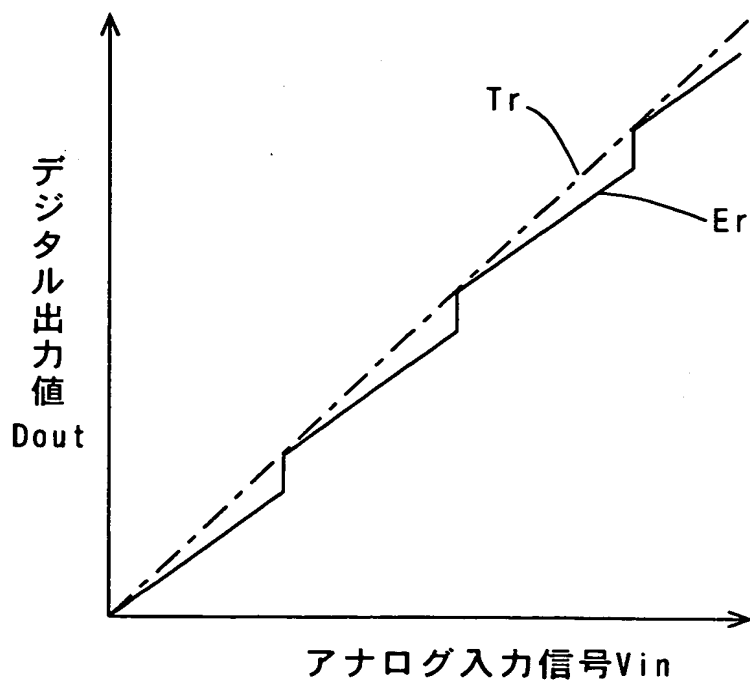


【図 3】

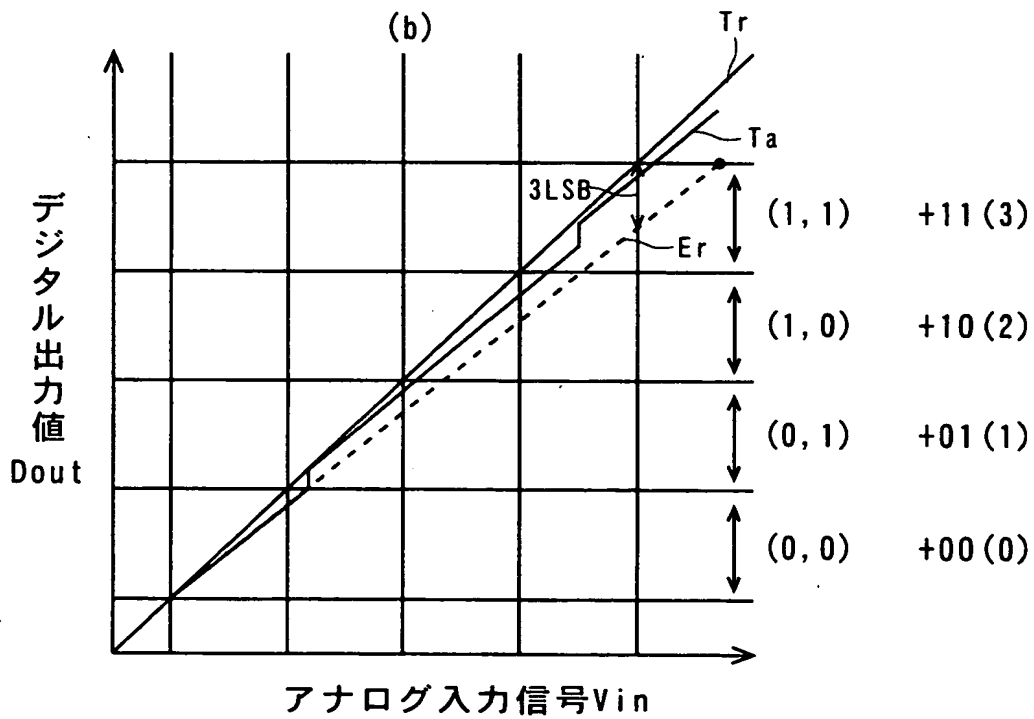
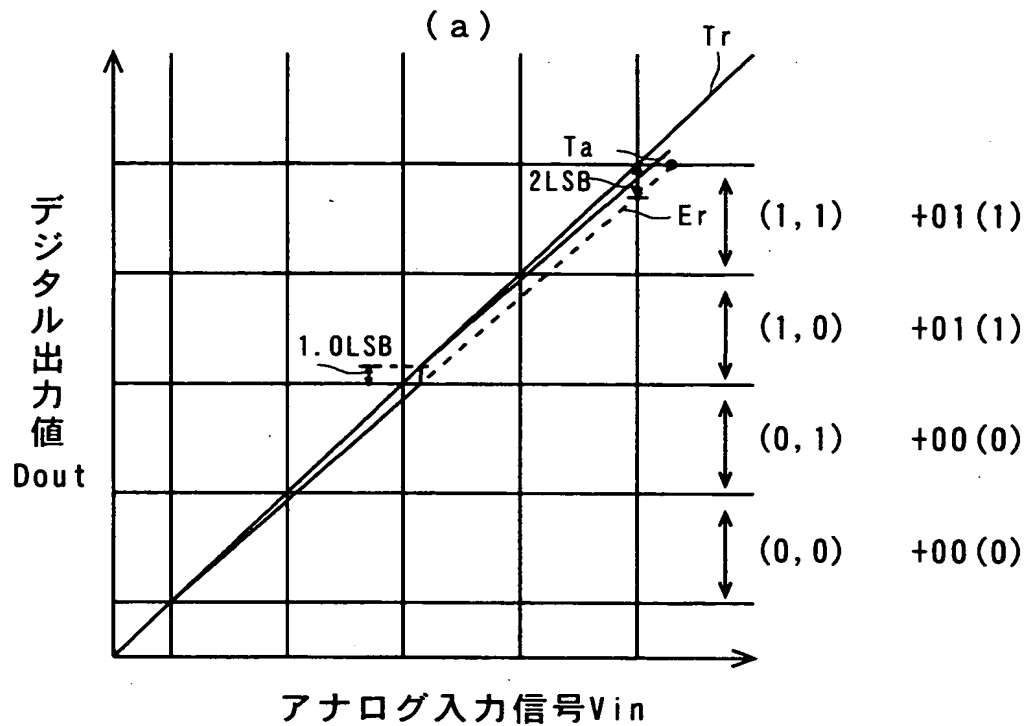
TBL

		DC制御信号 IN1, IN2			
D5	D4	0, 0	0, 1	1, 0	1, 1
1	1	00 (0)	01 (1)	10 (2)	11 (3)
1	0	00 (0)	01 (1)	01 (1)	10 (2)
0	1	00 (0)	00 (0)	01 (1)	01 (1)
0	0	00 (0)	00 (0)	00 (0)	00 (0)

【図 4】



【図 5】

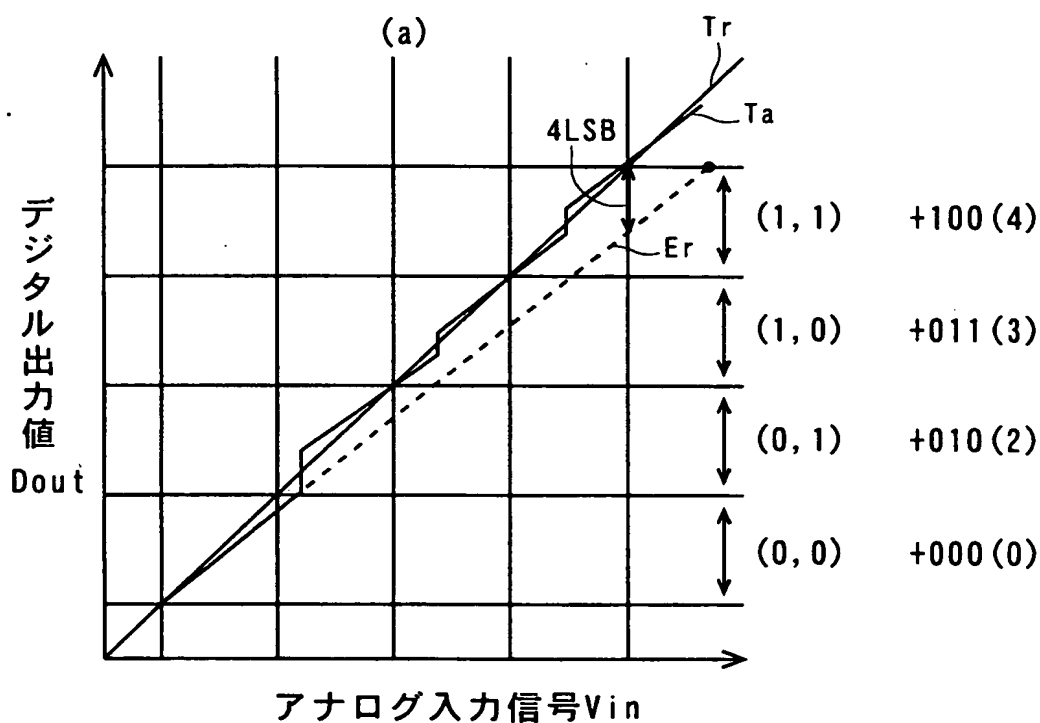


【図 6】

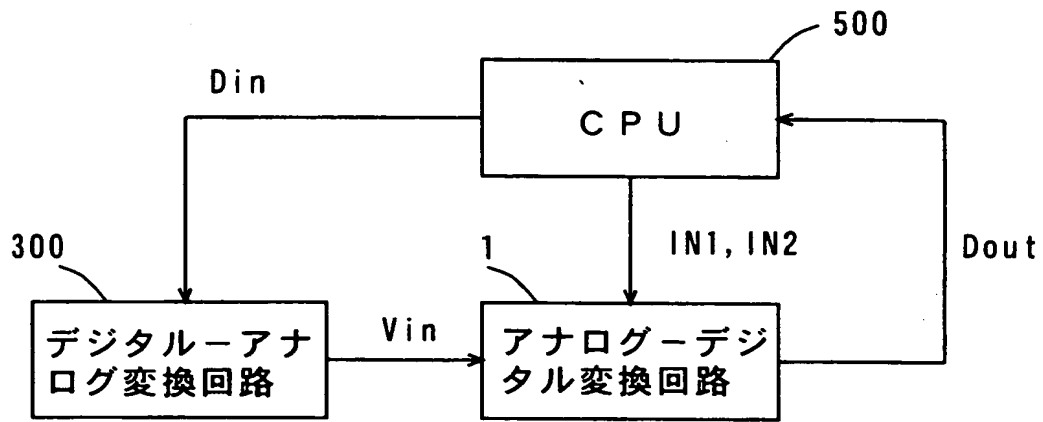
TBL

		DC制御信号 IN1, IN2			
D5	D4	0, 0	0, 1	1, 0	1, 1
1	1	000 (0)	001 (1)	010 (2)	100 (4)
1	0	000 (0)	001 (1)	001 (1)	011 (3)
0	1	000 (0)	000 (0)	001 (1)	010 (2)
0	0	000 (0)	000 (0)	000 (0)	000 (0)

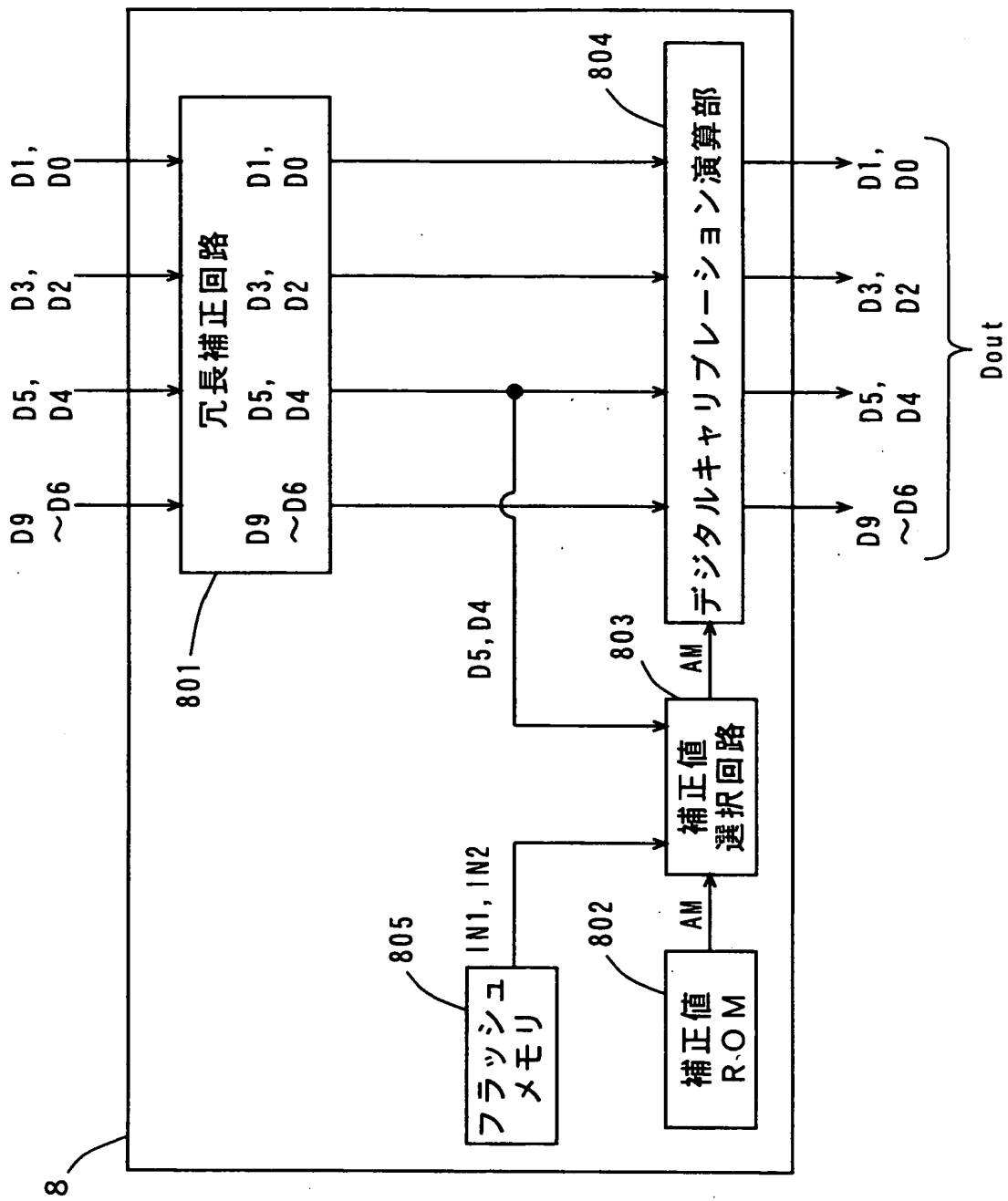
【図 7】



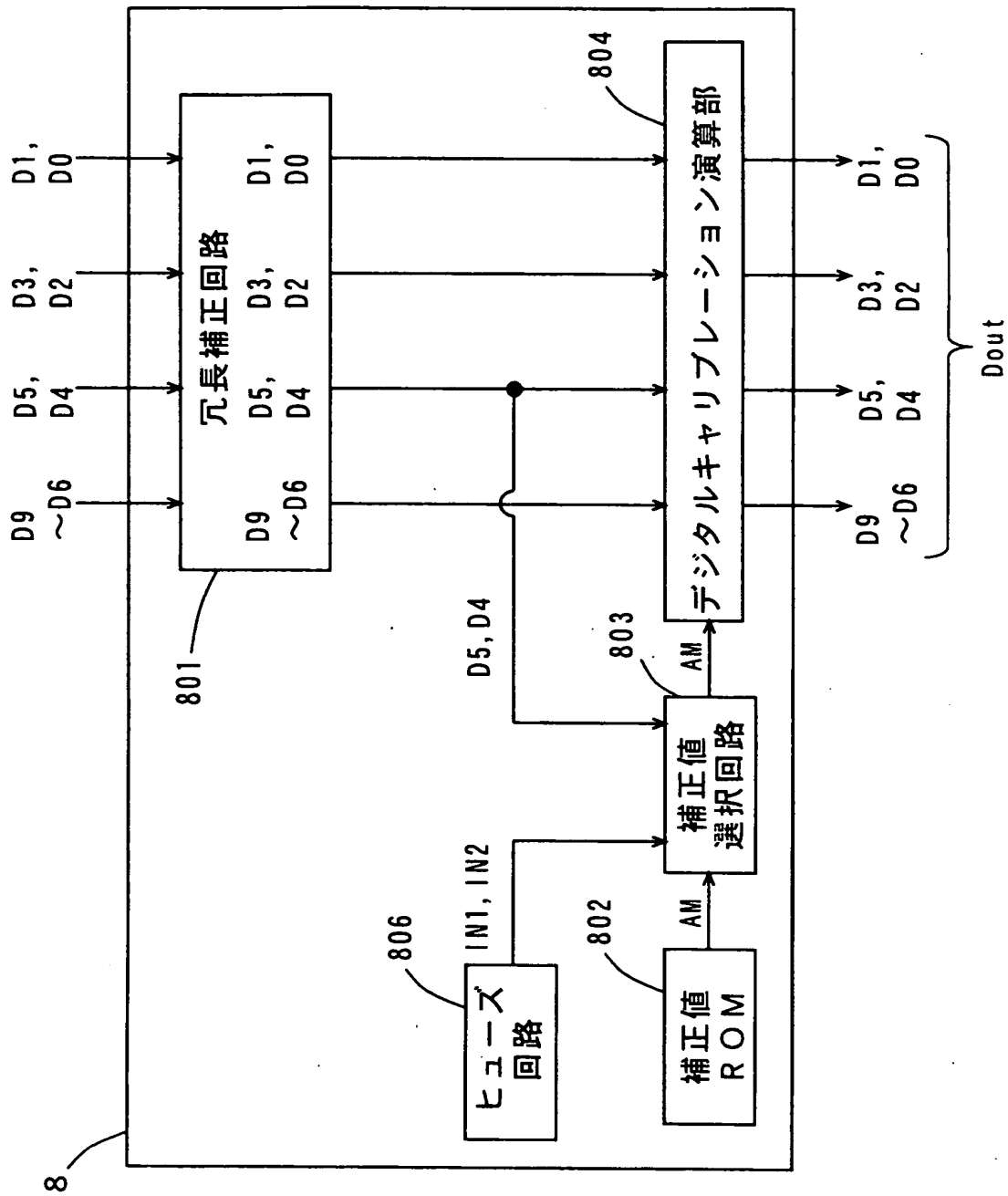
【図 8】



【図9】

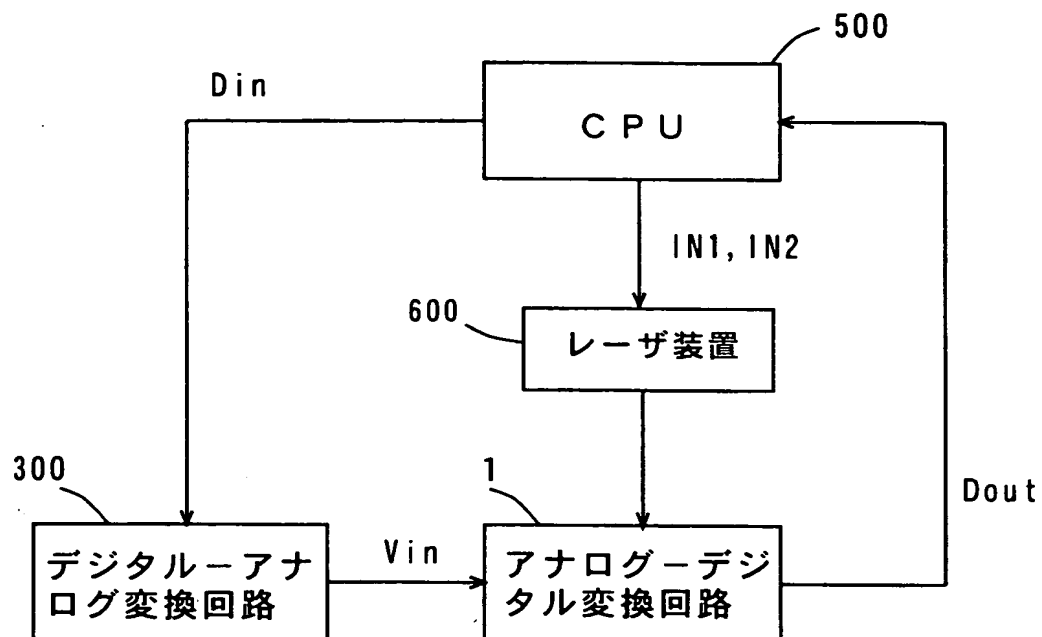


【図10】

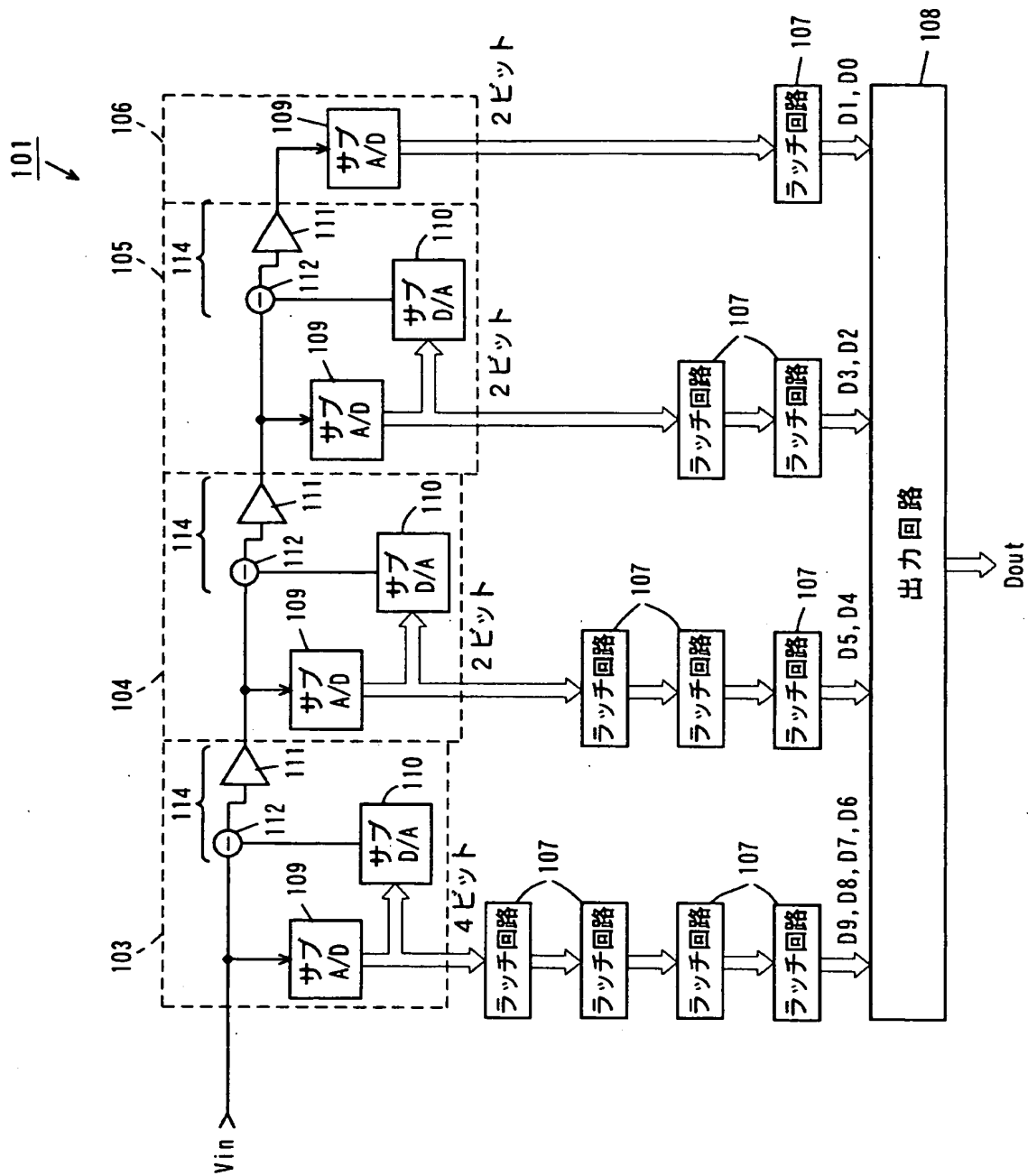




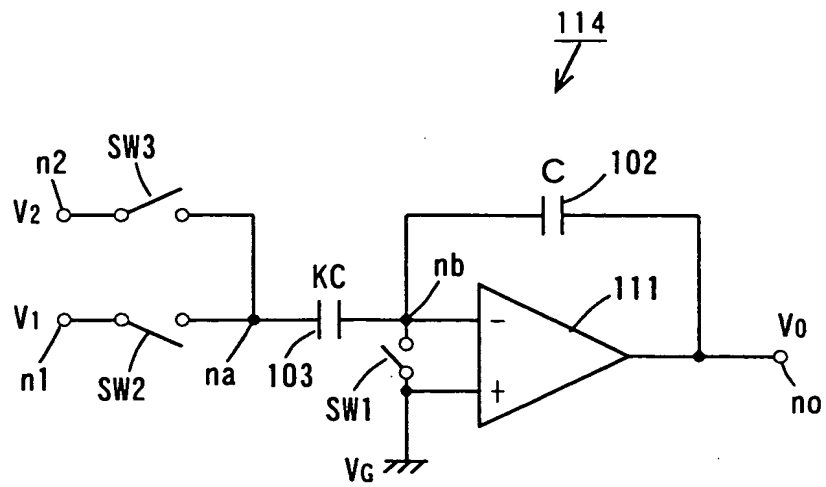
【図 1'1】



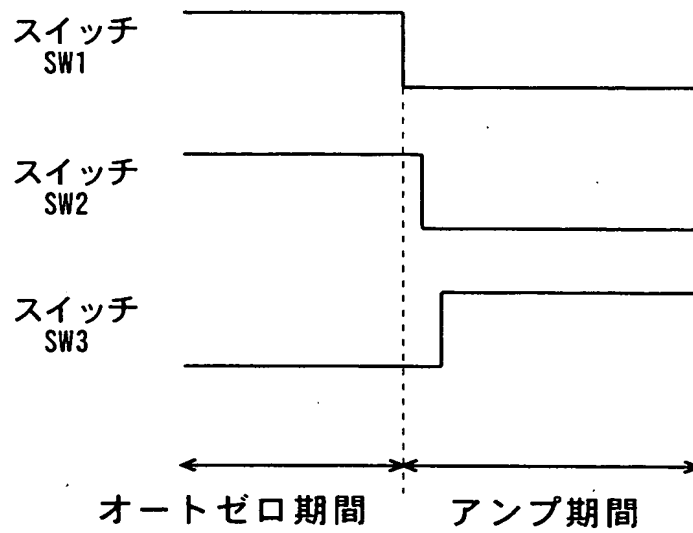
【図1'2】



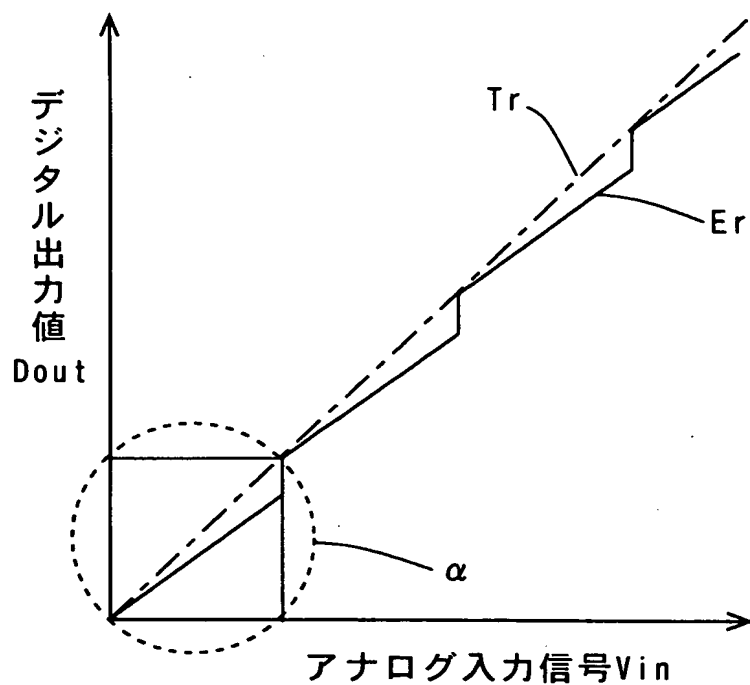
【圖 1'3】



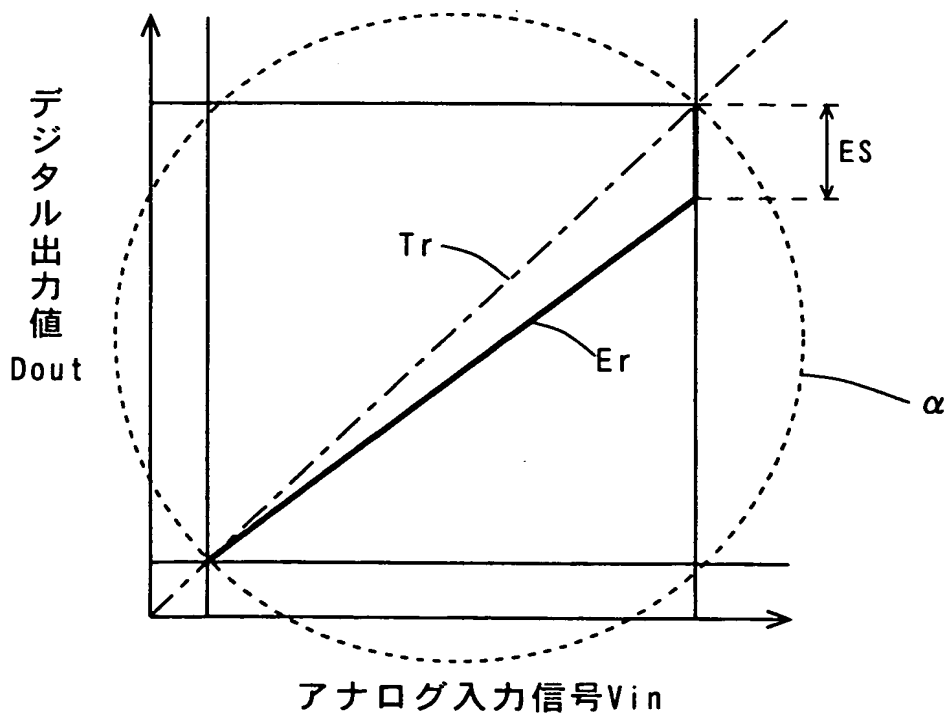
【図 14】



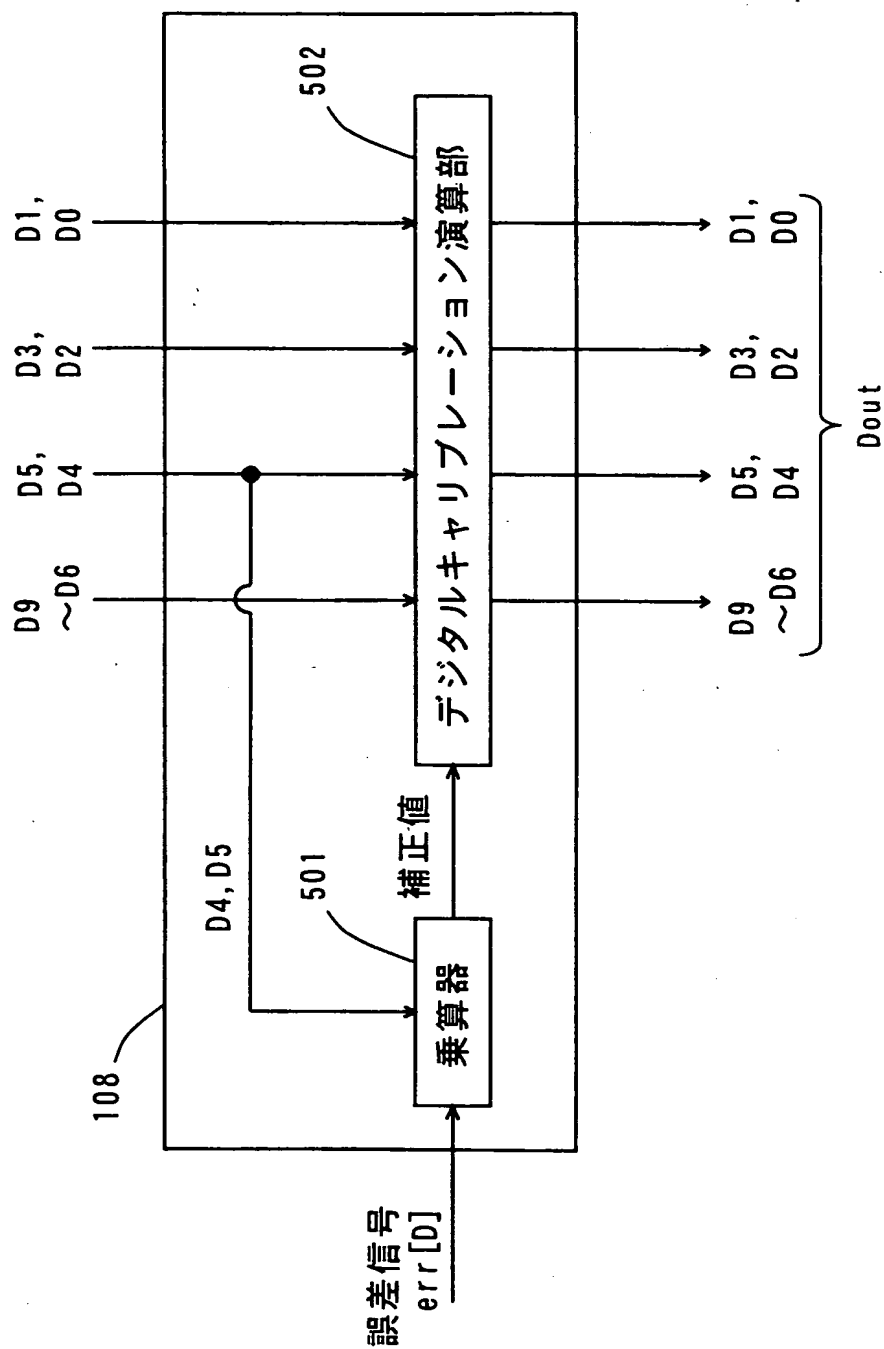
【図15】



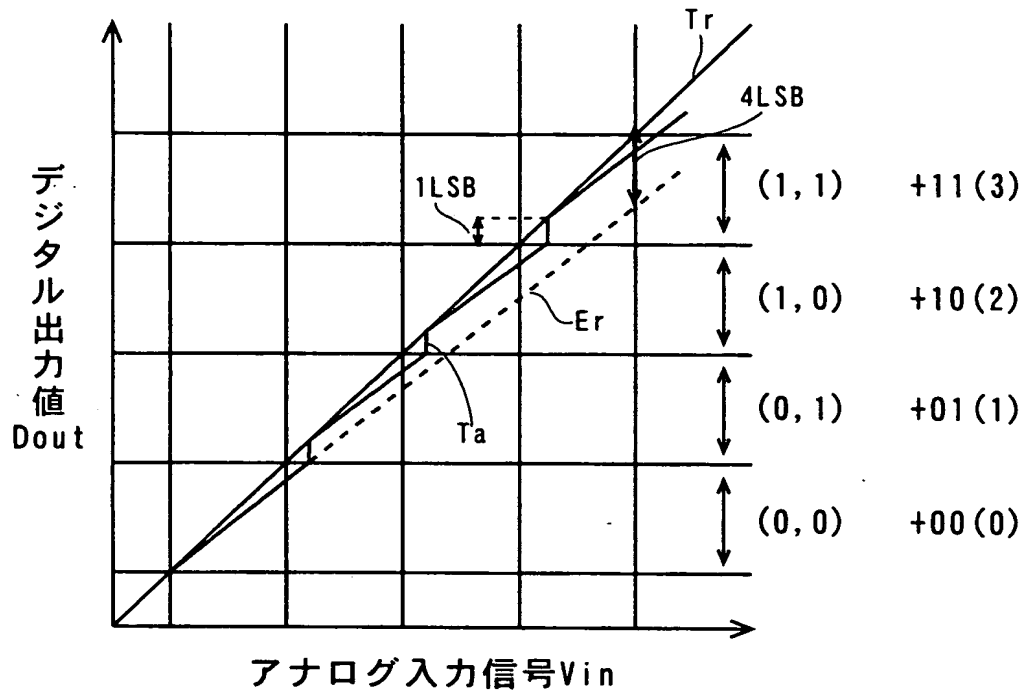
【図16】



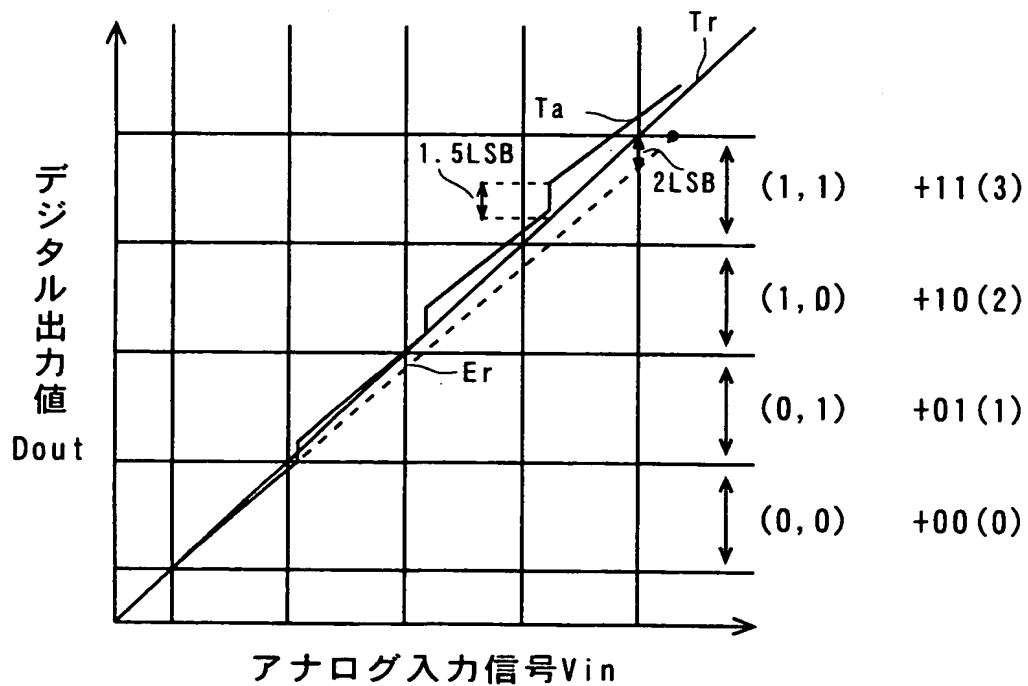
【図17】



【図18】



【図19】





【書類名】            要約書

【要約】

【課題】    回路規模を増大させることなく、差分増幅回路のゲインエラーによる入出力特性の段差エラーを十分に低減可能な多段パイプライン構成のアナログーデジタル変換回路を提供することである。

【解決手段】    デジタルキャリブレーション演算部 8 0 4 には冗長補正回路 8 0 1 からデジタル信号 D 9 ～ D 0 が与えられ、デジタル信号 D 5, D 4 が補正值選択回路 8 0 3 に与えられる。DC 制御信号 I N 1, I N 2 が補正值選択回路 8 0 3 に与えられる。補正值 R O M 8 0 2 には予めデジタル信号 D 5, D 4 の値に応じた補正值が複数組記憶される。補正值選択回路 8 0 3 は DC 制御信号 I N 1, I N 2 とデジタル信号 D 5, D 4 とに基づいて補正值 R O M 8 0 2 から補正值 A M を読み出す。デジタルキャリブレーション演算部 8 0 4 はデジタル信号 D 9 ～ D 0 に補正值 A M を加算してデジタル出力値 D o u t として出力する。

【選択図】            図 2

出 願 人 履 歴 情 報

識別番号 [000001889]

1. 変更年月日	1993年10月20日
[変更理由]	住所変更
住 所	大阪府守口市京阪本通2丁目5番5号
氏 名	三洋電機株式会社